



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002077091 A**(43) Date of publication of application: **15.03.02**

(51) Int. Cl. **H04J 3/00**
H04J 3/04
H04J 3/06
H04L 7/08

(21) Application number: **2001182312**
 (22) Date of filing: **15.06.01**
 (30) Priority: **16.06.00 JP 2000180928**

(71) Applicant: **NIPPON TELEGR & TELEPH
 CORP <NTT>**
 (72) Inventor: **TOMIZAWA MASAHIITO
 ONO TAKASHI
 KISAKA YOSHIKI**

(54) **MULTIPLEX TRANSMITTER, MULTIPLEX
 TRANSMISSION METHOD AND STORAGE
 MEANS FOR RECORDING MULTIPLEX
 TRANSMISSION CONTROL SOFTWARE**

(57) Abstract:

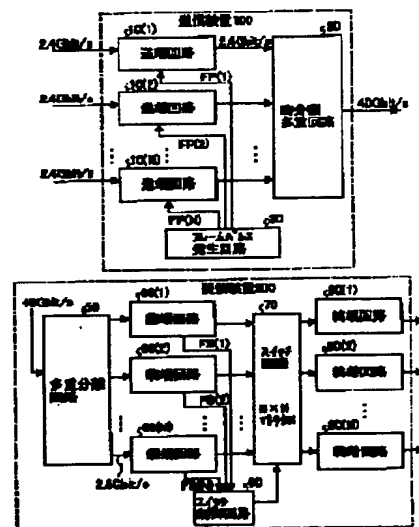
PROBLEM TO BE SOLVED: To provide a multiplex transmitter suitable for transmission of signals at an ultrahigh speed and a multiplex transmission method, to provide a recording medium for recording a multiplex transmission control software program and to realize a channel identification function being a requirement for ultrahigh speed transmission at a low cost.

SOLUTION: The transmitter is provided with a control pulse generating circuit 30 that generates a transmitter side synchronizing signal, a transmitter side synchronization circuit 10 that controls timing when a low-speed frame signal is outputted so as to deviate phases by each channel, and a multiplexer circuit 20 that applies time division multiplex processing to the signal for each channel to generate a high-speed frame signal. A receiver is provided with a demultiplexer circuit 50 that demultiplexes the high-speed frame signal to generate low speed frame signals of each channel, a low speed frame synchronization circuit 60 that processes the demultiplexed low-speed frame signals to generate a receiver side synchronizing signal synchronously with the low speed frame by each channel,

a switch 70 that connects the demultiplexed low speed frame signal outputs of each channel to each predetermined terminal of the channels, and a switch control circuit 90 that controls the switch on the basis of the receiver side synchronizing signal.

COPYRIGHT: (C)2002,JPO

図1は、送信側の送信機及び受信側の受信機の構成を示すブロック図



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-77091

(P2002-77091A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 4 J 3/00		H 0 4 J 3/00	U 5 K 0 2 8
3/04		3/04	Z 5 K 0 4 7
3/06		3/06	A
H 0 4 L 7/08		H 0 4 L 7/08	A

審査請求 有 請求項の数21 O L (全 20 頁)

(21) 出願番号 特願2001-182312(P2001-182312)
(22) 出願日 平成13年6月15日 (2001.6.15)
(31) 優先権主張番号 特願2000-180928(P2000-180928)
(32) 優先日 平成12年6月16日 (2000.6.16)
(33) 優先権主張国 日本 (J P)
特許法第30条第1項適用申請有り 2001年3月7日
(社) 電子情報通信学会発行「電子情報通信学会2001年
総合大会講演論文集」に発表

(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区大手町二丁目3番1号
(72) 発明者 富沢 将人
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内
(72) 発明者 小野 隆
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内
(74) 代理人 100070150
弁理士 伊東 忠彦

最終頁に続く

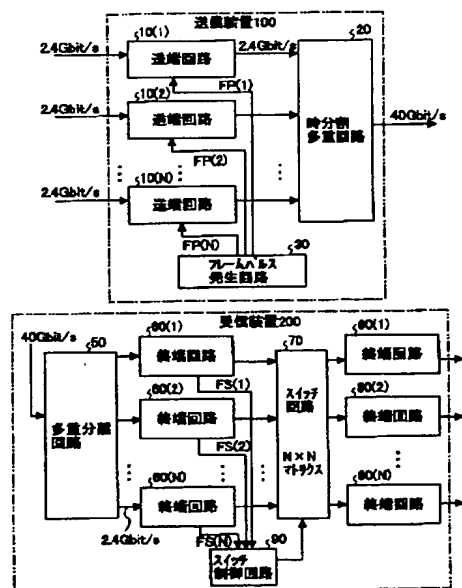
(54) 【発明の名称】 多重伝送装置、多重伝送方法及び多重伝送制御用ソフトウェアを記録した記憶媒体

(57) 【要約】

【課題】 超高速信号伝送に適する多重伝送装置、多重伝送方法及び多重伝送制御用ソフトウェアを記録した記憶媒体を提供するとともに超高速伝送に要求されるチャネル識別機能を低コストで実現することを目的とする。

【解決手段】 送信装置には送信側同期信号を生成する制御パルス発生回路30とチャネル毎に位相がずれるように低速フレーム信号を出力するタイミングを制御する送信側同期回路10とチャネル毎の信号を時分割多重処理して高速フレーム信号を生成する多重回路20とを設け、受信装置には高速フレーム信号を分離して複数チャネルの低速フレームの信号を生成する分離回路50と分離された低速フレーム信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路60と分離された複数チャネルの低速フレーム信号出力を予め定めた複数チャネルの各端子に接続するスイッチ70と複数の受信側同期信号に基づいてスイッチを制御するスイッチ制御回路90とを設けた。

実施の形態の送信装置及び受信装置の構成を示すブロック図



【特許請求の範囲】

【請求項1】 複数チャンネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号として出力する送信装置を備える多重伝送装置において、送信側同期信号を生成する制御パルス発生回路と、前記制御パルス発生回路が出力する送信側同期信号に同期して、チャンネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、

前記送信側同期回路を通して出力されるチャンネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路とを前記送信装置に設けたことを特徴とする多重伝送装置。

【請求項2】 時分割多重処理された高速フレームの信号を受信して多重分離処理を行い複数のチャンネルに低速フレームの並列信号として出力する受信装置を備える多重伝送装置において、受信した高速フレームの信号を多重分離して複数チャンネルの低速フレームの信号を生成する分離回路と、前記分離回路が出力する低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路と、前記分離回路から並列に出力される複数チャンネルの低速フレームの信号出力を、予め定めた複数チャンネルのそれぞれの端子に接続するスイッチと、前記低速フレーム同期回路が出力する複数の同期信号に基づいて前記スイッチを制御するスイッチ制御回路とを前記受信装置に設けたことを特徴とする多重伝送装置。

【請求項3】 複数チャンネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号として出力する送信装置と、時分割多重処理された高速フレームの信号を受信して多重分離処理を行い複数のチャンネルに低速フレームの並列信号として出力する受信装置とを備える多重伝送装置において、送信側同期信号を生成する制御パルス発生回路と、前記制御パルス発生回路が出力する送信側同期信号に同期して、チャンネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、前記送信側同期回路を通して出力されるチャンネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路とを前記送信装置に設けるとともに、前記送信装置から受信した高速フレームの信号を多重分離して複数チャンネルの低速フレームの信号を生成する分離回路と、前記分離回路が出力する低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を

生成する低速フレーム同期回路と、

前記分離回路から並列に出力される複数チャンネルの低速フレームの信号出力を、予め定めた複数チャンネルのそれぞれの端子に接続するスイッチと、前記低速フレーム同期回路が出力する複数の受信側同期信号に基づいて前記スイッチを制御するスイッチ制御回路とを前記受信装置に設けたことを特徴とする多重伝送装置。

【請求項4】 請求項1又は請求項3の多重伝送装置において、前記多重回路の入力側の低速フレームの信号にチャンネル毎にフレーム同期パターンを挿入する同期パターン挿入回路を設けたことを特徴とする多重伝送装置。

【請求項5】 請求項1又は請求項3の多重伝送装置において、前記送信装置の制御パルス発生回路が、低速フレームのフレーム周期よりも短い時間だけチャンネル毎にタイミングがずれた複数の送信側同期信号を生成することを特徴とする多重伝送装置。

【請求項6】 請求項5の多重伝送装置において、前記送信装置の制御パルス発生回路に、制御クロック発生回路と、直流電圧発生回路と、前記直流電圧発生回路の出力する信号に基づいて生成したフレームパルスを前記制御クロック発生回路の出力する制御クロックに従って、複数チャンネルのそれぞれに順次に出力するセレクトとを設けたことを特徴とする多重伝送装置。

【請求項7】 請求項2又は請求項3の多重伝送装置において、前記受信装置の低速フレーム同期回路は、チャンネルの信号形式に従ってチャンネル毎にフレーム同期を確立して各チャンネルの低速フレームの先頭位置を表す制御パルスを受信側同期信号として出力し、前記受信装置のスイッチ制御回路は、前記分離回路の複数の出力ポートのそれぞれに割り当てられたチャンネルの番号を、前記制御パルスの受信時間の違いにより識別し、その識別結果に応じて前記スイッチを制御することを特徴とする多重伝送装置。

【請求項8】 請求項7の多重伝送装置において、前記受信装置のスイッチ制御回路に、複数チャンネルの前記制御パルスを並列に入力して順次にシフトするシフトレジスタと、前記シフトレジスタの出力に接続された排他的論理和回路と、

前記排他的論理和回路が出力する信号を複数チャンネルの信号に分離する制御パルス分離回路と前記シフトレジスタに入力される複数チャンネルの制御パルスを監視して前記制御パルス分離回路の状態を初期化するリセット回路とを設けたことを特徴とする多重伝送装置。

【請求項9】 複数チャンネルのそれぞれから低速フレームの信号を並列に入力する複数の送端回路に、前記低速フレームの信号を時分割多重処理して前記低速フレームより高速の信号を出力する多重回路が接続され、

前記複数の送端回路には、前記複数チャネル毎に位相をずらした送信側同期信号を出力する制御パルス発生回路が接続され、

各送端回路が前記送信側同期信号に同期してフレームの信号を出力するように構成したことを特徴とする多重伝送装置。

【請求項10】 時分割多重処理された高速の信号を多重分離処理して複数チャネルの低速フレームの信号を生成する分離回路に、該複数チャネルの低速フレームの信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成する複数の終端回路が接続され、前記複数の終端回路に、前記低速フレームの信号を予め定めた複数チャネルのそれぞれの端子に接続するスイッチが接続され、

前記スイッチにはスイッチ制御回路が接続され、該スイッチ制御回路が前記複数の終端回路が出力する受信側同期信号に基づいて前記スイッチを制御するように構成したことを特徴とする多重伝送装置。

【請求項11】 送信装置と受信装置とを備えた多重伝送装置において、

前記送信装置は、複数チャネルのそれぞれから低速フレームの信号を並列に入力する複数の送端回路に、前記低速フレームの信号を時分割多重処理して前記低速フレームより高速の信号を出力する多重回路が接続され、

前記複数の送端回路には、前記複数チャネル毎に位相をずらした送信側同期信号を出力する制御パルス発生回路が接続され、

各送端回路が前記送信側同期信号に同期してフレームの信号を出力するように構成し、

前記受信装置は、時分割多重処理された高速の信号を多重分離処理して複数チャネルの低速フレームの信号を生成する分離回路に、該複数チャネルの低速フレームの信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成する複数の終端回路が接続され、

前記複数の終端回路に、前記低速フレームの信号を予め定めた複数チャネルのそれぞれの端子に接続するスイッチが接続され、

前記スイッチにはスイッチ制御回路が接続され、該スイッチ制御回路が前記複数の終端回路が出力する受信側同期信号に基づいて前記スイッチを制御するように構成したことを特徴とする多重伝送装置。

【請求項12】 多重分離回路の出力に並列に現れる複数の低速フレーム信号を複数チャネルのそれぞれに割り当てるための計算機が実行可能な多重伝送制御用ソフトウェアを記録した記憶媒体であって、各チャネルの低速フレーム信号の先頭位置を表す位置情報が所定のメモリ上に記憶されているか否かを調べる手順と、

前記位置情報が前記メモリ上に記憶されている場合に、前記メモリから前記位置情報を順番に読み出して複数の低速フレーム信号の到着順序を識別する手順と、識別された複数の低速フレーム信号の到着順序に基づいて複数の低速フレーム信号を複数チャネルのそれぞれに割り当てる手順とを設けたことを特徴とする多重伝送制御用ソフトウェアを記録した記憶媒体。

【請求項13】 多重分離回路の出力に並列に現れる複数の低速フレーム信号を複数チャネルのそれぞれに割り当てるための計算機が実行可能な多重伝送制御用プログラムであって、計算機に、

各チャネルの低速フレーム信号の先頭位置を表す位置情報が所定のメモリ上に記憶されているか否かを調べる手順と、

前記位置情報が前記メモリ上に記憶されている場合に、前記メモリから前記位置情報を順番に読み出して複数の低速フレーム信号の到着順序を識別する手順と、識別された複数の低速フレーム信号の到着順序に基づいて複数の低速フレーム信号を複数チャネルのそれぞれに割り当てる手順とを実行させることを特徴とする多重伝送制御用プログラム。

【請求項14】 複数チャネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速の信号として出力する多重伝送装置における多重伝送方法であって、前記複数チャネル毎に位相をずらした送信側同期信号を生成し、

該送信側同期信号に同期して、前記低速フレームの信号を出力するタイミングを制御し、

前記複数チャネル毎に位相をずらした前記低速フレームの信号を時分割多重処理して高速の信号を生成し、送信することを特徴とする多重伝送方法。

【請求項15】 時分割多重処理された高速の信号を受信して多重分離処理を行い複数のチャネルに低速フレームの並列信号として出力する多重伝送装置における多重伝送方法であって、

受信した高速の信号を多重分離して複数チャネルの低速フレームの信号を生成し、

前記複数チャネルの低速フレームの信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成し、

該受信側同期信号に基づいた制御により、前記複数チャネルの低速フレームの信号を、予め定めた複数チャネルのそれぞれの端子に接続することを特徴とする多重伝送方法。

【請求項16】 複数チャネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速の信号として出力する送信装置と、時分割多重処理された高速の信号を受信して多重分離処理を行い複数のチャネルに低速フレームの並列信号とし

て出力する受信装置とを備えた多重伝送装置における多重伝送方法であって、
 前記送信装置において、
 前記複数チャンネル毎に位相をずらした送信側同期信号を生成し、
 該送信側同期信号に同期して、前記低速フレームの信号を出力するタイミングを制御し、
 前記複数チャンネル毎に位相をずらした前記低速フレームの信号を時分割多重処理して高速の信号を生成して送信を行い、
 前記受信装置において、
 受信した高速の信号を多重分離して複数チャンネルの低速フレームの信号を生成し、
 前記複数チャンネルの低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を生成し、
 該受信側同期信号に基づいた制御により、前記複数チャンネルの低速フレームの信号を、予め定めた複数チャンネルのそれぞれの端子に接続することを特徴とする多重伝送方法。

【請求項17】 請求項14又は請求項16の多重伝送において、
 前記時分割多重処理における入力側の低速フレームの信号にチャンネル毎にフレーム同期パターンを挿入することを特徴とする多重伝送方法。

【請求項18】 請求項14又は請求項16の多重伝送方法において、
 前記送信側同期信号を生成する際に、低速フレームのフレーム周期よりも短い時間だけチャンネル毎にタイミングがずれた複数の送信側同期信号を生成することを特徴とする多重伝送方法。

【請求項19】 請求項18の多重伝送方法において、
 前記多重伝送装置は前記送信側同期信号を生成する制御パルス発生回路を有し、該制御パルス発生回路は、制御クロック発生回路と、直流電圧発生回路と、セレクトとを有し、
 該セレクトが、前記直流電圧発生回路の出力する信号に基づいて生成したフレームパルスを、前記制御クロック発生回路の出力する制御クロックに従って、複数チャンネルのそれぞれに前記送信側同期信号として順次に出力することを特徴とする多重伝送方法。

【請求項20】 請求項15又は請求項16の多重伝送方法において、
 前記受信側同期信号として、チャンネルの信号形式に従ってチャンネル毎にフレーム同期を確立して各チャンネルの低速フレームの先頭位置を表す制御パルスを生成し、
 前記受信側同期信号に基づいた制御において、前記低速フレームに対応したチャンネルの番号を、前記制御パルスの受信時間の違いにより識別し、その識別結果に応じて制御を行うことを特徴とする多重伝送方法。

【請求項21】 請求項20の多重伝送方法において、
 前記受信側同期信号に基づいた制御を行う際に、
 複数チャンネルの前記制御パルスを並列に入力して順次にシフトし、
 シフトした信号に対して排他的論理和演算を行い、
 排他的論理和演算した信号を複数チャンネルの信号に分離し、
 分離された信号を用いて前記制御を行うことを特徴とする多重伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、超高速信号伝送に適する多重伝送装置、多重伝送方法及び多重伝送制御用ソフトウェアを記録した記憶媒体に関する。

【0002】

【従来の技術】時分割多重により信号を多重化して伝送する場合、従来より、送信側では多数のチャンネルを多重化した高速信号について新たなフレームを生成して送信している。また、受信側では多重化された高速信号に含まれるデリミタを認識し、デリミタの時間位置から間接的にチャンネルの識別を行っている。

【0003】例えば、伝送速度が10Gbit/sクラスの信号を伝送する場合には、国際標準で規定されたSDH (Synchronous Digital Hierarchy) フォーマットが用いられる。

【0004】図20に従来技術におけるSDH多重装置の送信側の処理概要を示し、図21に従来技術におけるSDH多重装置の受信側の処理概要を示す。

【0005】SDHでは、伝送速度が10Gbit/sの場合にはSTM-64と呼ばれるフレームのフォーマットを低速フレームのフォーマットとして用いる。図20に示すように、送信側では、フレーム位相が合っていない状態で低速フレームが入力され、高速側でフレーム位相を一致させて出力する。

【0006】受信側では、高速信号から特定のフレームパターンを認識して信号の同期を確立する。すなわち、図21に示すように、高速側のフレーム位相が合っているので、高速フレーム信号に含まれる多数のチャンネルのそれぞれは、特定のフレームパターンに対する時間的な隔たりによって特定される。

【0007】通常、高速信号に対するフレーム同期は、信号のクロックスピードを下げてから行われる。すなわち、シリアル的高速信号をパラレル信号に展開して信号のクロックスピードを下げた後でフレームの同期処理を行う。このため、展開するパラレル信号数が大きい場合には、高速信号に対するチャンネルの識別のために複雑な処理を行う必要がある。

【0008】

【発明が解決しようとする課題】従来のフレーム同期方式やチャンネル識別方式を用いる場合には、次のような問

題が生じる。

【0009】すなわち、ビットレートが10Gbit/s以上、例えば40Gbit/s程度になると、回路の動作速度の限界に近づくため、従来のような高機能の論理回路を構成すると非常に高いコストが必要になる。

【0010】ビットレートが10Gbit/sの場合であっても、従来より1.25GHzあるいは600MHzの信号速度にパラレル展開してからフレーム同期を行っている。また、この場合でも高速処理が可能な化合物半導体などを用いてフレーム同期回路を実現しているのが実情である。

【0011】この場合、パラレル展開数は8又は16である。同じような処理を40Gbit/sのビットレートの信号について行う場合を想定すると、回路の動作速度が同じ場合、パラレル数を32又は64に増やす必要がある。従って、装置の構成が複雑になる。

【0012】一方、パラレル数を変更せずに同じ機能を実現する場合を想定すると、回路の処理速度が5GHz又は2.4GHzになるため、高機能な論理回路を構成することは現実的でない。

【0013】また、さらなる高速化を考えた場合、電気処理の多重分離回路では処理しきれなくなるため、光にその機能を代替えする必要がある。しかし、光の処理によって機能を実現しようとする場合には、従来のような高機能のフレーム同期処理は現実的でない。また、フレーム同期方式として従来より用いられているビットシフト方式は、超高速化を考慮すると現実的でない。

【0014】例えば、40Gbit/sのビットレートに適用可能な多重分離回路を実現しようとする、利用する半導体の種類（プロセス）に適材適所があるため、マルチチップで多重分離回路を構成せざるを得ない。

【0015】しかし、マルチチップの高速半導体のグループを同一の制御パルスで動作させるためには、チップ間のタイミング設計を高精度で行う必要があり、設計費用や設計時間の点で高いコストが必要になる。

【0016】また、近年、数百Mbit/sのSDHインタフェースが低価格で入手できるようになったため、いろいろなSDHの使い方が現れている。

【0017】中でも、独自にサブネットワークを構成し、独自にサブネットワークを管理している新規キャリアや、独自にオペレーションシステム及びサブネットワークを製造してキャリアに提供しているベンダが増えている。

【0018】このような環境においては、サブネットワーク毎にSDH信号フレームのセクションオーバーヘッド(SOH)を独自の方法で利用している。このため、サブネットワーク同士を接続するキャリアにおいては、独自に利用しているSOHを終端させないことが望まれている。

【0019】すなわち、サブネットワーク同士を接続す

る(大容量が要求されるような)大規模ネットワークには、トランスペアレンシが要求されている。

【0020】上記のような問題を回避する手段のひとつとして波長多重方式が存在する。しかしながら、多重できる波長数には限りがあり、現状では商用としては30～40波長が限界である。

【0021】現在のデータトラフィックの需要増加を考慮すると、数年後にはTbit/sクラスの伝送容量が必要になると考えられる。このような状況においては、波長多重だけでは需要を満たすことはできず、一波長あたりのさらなる高速化が求められている。

【0022】本発明は、超高速信号伝送に適する多重伝送装置、多重伝送方法及び多重伝送制御用ソフトウェアを記録した記憶媒体を提供するとともに、超高速伝送に要求されるチャネル識別機能を低コストで実現することを目的とする。

【0023】

【課題を解決するための手段】請求項1の多重伝送装置は、複数チャネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号として出力する送信装置を備える多重伝送装置において、送信側同期信号を生成する制御パルス発生回路と、前記制御パルス発生回路が出力する送信側同期信号に同期して、チャネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、前記送信側同期回路を通して出力されるチャネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路とを前記送信装置に設けたことを特徴とする。

【0024】請求項1においては、チャネル毎に位相をずらした低速フレームの信号を時分割多重処理して高速フレームの信号を生成する。この高速フレームの信号が送信装置から送出される。

【0025】例えば、SDH規格に基づく伝送方式では、伝送路の符号としてNRZ(ノン・リターン・トゥ・ゼロ)を用いるので、同一符号が連続して送られた場合などに再生中継器でタイミング情報が失われ符号誤りが発生する。また、フレーム同期パターンと同一の符号がペイロード内に現れた場合にはフレーム誤同期が発生する可能性がある。

【0026】そこで、一般的なSDH規格の伝送装置においては、送信装置内にスクランブラを設ける。スクランブラは、ビット列をランダム化してビット列に零符号が連続して現れる確率及び特定のビットパターンが連続して現れる確率を低減する。

【0027】しかし、請求項1の多重伝送装置においてはスクランブラを設ける必要がない。すなわち、互いに位相がずれた複数チャネルの低速フレーム信号を時分割多重処理して高速フレームの信号を生成するので、スクランブル処理を行わなくても同じ符号が連続して現れる

可能性は極めて小さくなる。

【0028】請求項2の多重伝送装置は、時分割多重処理された高速フレームの信号を受信して多重分離処理を行い複数のチャンネルに低速フレームの並列信号として出力する受信装置を備える多重伝送装置において、受信した高速フレームの信号を多重分離して複数チャンネルの低速フレームの信号を生成する分離回路と、前記分離回路が出力する低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路と、前記分離回路から並列に出力される複数チャンネルの低速フレームの信号出力を、予め定めた複数チャンネルのそれぞれの端子に接続するスイッチと、前記低速フレーム同期回路が出力する複数の同期信号に基づいて前記スイッチを制御するスイッチ制御回路とを前記受信装置に設けたことを特徴とする。

【0029】請求項2の多重伝送装置の受信装置は、請求項1の送信装置から送出される高速フレームの信号を受信することを想定している。この受信装置においては、分離回路が出力する低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を生成する。

【0030】但し、分離回路の前でフレーム同期を行わないため、分離回路が並列に出力する複数の低速フレームの信号とそれぞれのチャンネルとの関係は定まっていない。そこで、スイッチ制御回路は低速フレーム同期回路が出力する複数の同期信号に基づいて複数の低速フレーム信号の各チャンネルを識別し、スイッチを制御して各々の低速フレーム信号を出力の各チャンネルに割り当てる。

【0031】SDH規格などの一般の受信装置においては、多重分離する前の高速フレームの信号から特定の同期パターンを検出して高速フレーム信号のフレーム同期を行っているため、高価な同期回路が必要になるし、この同期回路がビットレートの更なる高速化の妨げになる。

【0032】請求項2においては、低速フレームの信号に対してチャンネル毎に同期を確立するので、高速フレームの信号に対してフレーム同期を確立する必要がなく、高価な信号処理回路を用いる必要がなくなり、更なるビットレートの高速化にも対応できる。

【0033】請求項3の多重伝送装置は、複数チャンネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号として出力する送信装置と、時分割多重処理された高速フレームの信号を受信して多重分離処理を行い複数のチャンネルに低速フレームの並列信号として出力する受信装置とを備える多重伝送装置において、送信側同期信号を生成する制御パルス発生回路と、前記制御パルス発生回路が出力する送信側同期信号に同期して、チャンネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、前記送信

側同期回路を通して出力されるチャンネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路とを前記送信装置に設けるとともに、前記送信装置から受信した高速フレームの信号を多重分離して複数チャンネルの低速フレームの信号を生成する分離回路と、前記分離回路が出力する低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路と、前記分離回路から並列に出力される複数チャンネルの低速フレームの信号出力を、予め定めた複数チャンネルのそれぞれの端子に接続するスイッチと、前記低速フレーム同期回路が出力する複数の受信側同期信号に基づいて前記スイッチを制御するスイッチ制御回路とを前記受信装置に設けたことを特徴とする。

【0034】請求項3の多重伝送装置は、請求項1と同様に送信装置にスクランブラを設ける必要がなく、受信装置にデスクランブラを設ける必要もないため、送信装置及び受信装置を安価に構成できる。

【0035】また、請求項2と同様に高速フレーム信号に対してフレーム同期を行う必要がないため、高価な信号処理回路を用いる必要がなくなり、更なるビットレートの高速化にも対応できる。

【0036】請求項4は、請求項1又は請求項3の多重伝送装置において、前記多重回路の入力側の低速フレームの信号にチャンネル毎にフレーム同期パターンを挿入する同期パターン挿入回路を設けたことを特徴とする。

【0037】請求項4においては、時分割多重化前の低速フレームの信号にチャンネル毎にフレーム同期パターンが挿入されるので、受信装置においては多重分離回路の出力に得られる複数の低速フレーム信号のそれぞれについてフレーム同期を確立することができる。

【0038】この同期パターン挿入回路は低速フレーム信号を処理するため、低価格の信号処理回路で実現できる。また、更なるビットレートの高速化にも対応できる。

【0039】請求項5は、請求項1又は請求項3の多重伝送装置において、前記送信装置の制御パルス発生回路が、低速フレームのフレーム周期よりも短い時間だけチャンネル毎にタイミングがずれた複数の送信側同期信号を生成することを特徴とする。

【0040】請求項5においては、互いにタイミングがずれた複数の送信側同期信号を制御パルス発生回路が出力するので、送信側同期回路はそれぞれの送信側同期信号に同期するように各チャンネルの低速フレームの信号タイミングを制御することにより、低速フレーム信号の位相をチャンネル毎にずらすことができる。

【0041】請求項6は、請求項5の多重伝送装置において、前記送信装置の制御パルス発生回路に、制御クロック発生回路と、直流電圧発生回路と、前記直流電圧発生回路の出力する信号に基づいて生成したフレームパル

スを前記制御クロック発生回路の出力する制御クロックに従って、複数チャネルのそれぞれに順次に出力するセレクトとを設けたことを特徴とする。

【0042】請求項6においては、複数チャネルのそれぞれに対してセレクトから順次にフレーム同期のための制御パルスを出力することができる。

【0043】請求項7は、請求項2又は請求項3の多重伝送装置において、前記受信装置の低速フレーム同期回路は、チャネルの信号形式に従ってチャネル毎にフレーム同期を確立して各チャネルの低速フレームの先頭位置を表す制御パルスを受信側同期信号として出力し、前記受信装置のスイッチ制御回路は、前記分離回路の複数の出力ポートのそれぞれに割り当てられたチャネルの番号を、前記制御パルスの受信時間の違いにより識別し、その識別結果に応じて前記スイッチを制御することを特徴とする。

【0044】請求項7においては、低速フレーム同期回路が出力する制御パルスの受信時間が各チャネルの低速フレームの先頭位置を表すので、スイッチ制御回路は、前記分離回路の複数の出力ポートのそれぞれに割り当てられたチャネルの番号を、前記制御パルスの受信時間の違いにより識別することができる。

【0045】請求項8は、請求項7の多重伝送装置において、前記受信装置のスイッチ制御回路に、複数チャネルの前記制御パルスを並列に入力して順次にシフトするシフトレジスタと、前記シフトレジスタの出力に接続された排他的論理和回路と、前記排他的論理和回路が出力する信号を複数チャネルの信号に分離する制御パルス分離回路と前記シフトレジスタに入力される複数チャネルの制御パルスを監視して前記制御パルス分離回路の状態を初期化するリセット回路とを設けたことを特徴とする。

【0046】請求項8においては、互いに異なるタイミングの制御パルス（同期信号）をシフトレジスタの複数の出力から同時に取り出してそれらの排他的論理和を演算することにより、低速フレーム信号の到着時間の相対的な順番を表す時系列の信号をチャネル毎に得ることができる。

【0047】リセット回路は、複数チャネルの制御パルスを監視して、複数チャネルの全体の基準となる時間（例えば最も位相が進んでいる最初のチャネルの低速フレーム信号の先端が到着した時刻）を検出する。

【0048】前記排他的論理和回路の出力には、低速フレーム信号の到着時間の相対的な順番が時系列信号として現れる。制御パルス分離回路は、時系列信号を複数の時刻のそれぞれの信号に分離する。

【0049】制御パルス分離回路が出力する信号を利用して前記スイッチを制御し、多重分離された複数の信号をそれぞれの到着順所に従って各チャネルに割り当てることができる。

【0050】請求項9～11の発明においては、請求項1～3に記載の発明と同様の効果を奏する。

【0051】請求項12の多重伝送制御用ソフトウェアを記録した記憶媒体は、多重分離回路の出力に並列に現れる複数の低速フレーム信号を複数チャネルのそれぞれに割り当てるための計算機が実行可能な多重伝送制御用ソフトウェアを記録した記憶媒体であって、各チャネルの低速フレーム信号の先頭位置を表す位置情報が所定のメモリ上に記憶されているか否かを調べる手順と、前記位置情報が前記メモリ上に記憶されている場合に、前記メモリから前記位置情報を順番に読み出して複数の低速フレーム信号の到着順序を識別する手順と、識別された複数の低速フレーム信号の到着順序に基づいて複数の低速フレーム信号を複数チャネルのそれぞれに割り当てる手順とを設けたことを特徴とする。

【0052】請求項12、13の多重伝送制御用ソフトウェアを所定の計算機で実行することにより、請求項8の多重伝送装置と同様に、多重分離回路の出力に並列に現れる複数の低速フレーム信号を複数チャネルのそれぞれに割り当てることができる。

【0053】また、請求項14～請求項21の多重伝送方法の発明においては、請求項1～8に記載の発明と同様の効果を奏する。

【0054】なお、本発明の特徴を要約すると次のようになる。

- ・チャネルごとに異なるフレーム位相で動作する。
- ・受信側ではチャネルごとに異なるフレームパルスの到達時間順序によってチャネルを識別する。
- ・分離後のポートとチャネルに正しいポートを接続するのにスイッチを用いる。
- ・クライアントにトランスペアレントな時分割多重機能を提供する。
- ・高速側ではパターン認識は行わない。
- ・多重回路や分離回路がいくつかのサブモジュールに分かれていても、あるいは光回路であっても実現可能である。各サブモジュールがばらばらの分離タイミングで動作することを許容する。

【0055】

【発明の実施の形態】（第1の実施の形態）本発明の多重伝送装置の1つの実施の形態について、図1～図14を参照して説明する。この形態は請求項1～請求項8に対応する。

【0056】図1はこの形態の送信装置及び受信装置の構成を示すブロック図である。図2は送信装置の動作を示す図であり、図3は受信装置の動作を示す図である。図4は受信側でチャネルを識別する方法を説明するための図である。図5は各チャネルの送端回路の構成例

（1）を示すブロック図である。図6は送端回路の入出力の低速フレーム信号の位相を示すタイムチャートである。図7はフレームパルス発生回路の構成例を示すブ

ック図である。

【0057】図8は各チャネルのフレームパルスの例を示すタイムチャートである。図9は時分割多重回路の構成例を示すブロック図である。図10は多重分離回路の構成例を示すブロック図である。図11は各チャネルの終端回路の構成例(1)を示すブロック図である。

【0058】図12はスイッチ制御回路の構成例を示すブロック図である。図13はスイッチ制御回路の動作例を示す模式図である。図14はスイッチ回路の構成例を示すブロック図である。

【0059】この形態では、請求項1及び請求項3の送信装置、制御パルス発生回路、送信側同期回路及び多重回路は、それぞれ送信装置100、フレームパルス発生回路30、セクション適応回路14及び時分割多重回路20として具体化されている。

【0060】また、請求項2及び請求項3の受信装置、分離回路、低速フレーム同期回路、スイッチ及びスイッチ制御回路は、それぞれ受信装置200、多重分離回路50、中継セクション終端回路61、スイッチ回路70及びスイッチ制御回路90として具体化されている。

【0061】また、請求項4の同期パターン挿入回路は中継セクション終端回路16に対応する。請求項6の制御クロック発生回路、直流電圧発生回路及びセレクタは、それぞれ制御クロック発生器33、直流電圧発生器31及びセレクタ34に対応する。

【0062】更に、請求項8のシフトレジスタ、排他的論理和回路、制御パルス分離回路及びリセット回路は、それぞれシフトレジスタ91、排他的論理和回路92、デマルチプレクサ93及びリセットパルス発生回路94に対応する。

【0063】図1に示す送信装置100は、Nチャネルの入力のそれぞれから予め特定されたフォーマットの比較的低速の信号を並列に入力し時分割多重処理された高速の信号を送出する。

【0064】具体的には、入力する信号のフォーマットとして例えばITU-T勧告のSTMフレームやG.975フレームを利用できる。また、それぞれが2.4 Gbit/sのビットレートの信号を16チャネル並列に入力する場合には、送信装置100から40 Gbit/sのビットレートの信号が送信される。

【0065】図1の送信装置100は、送端回路10、時分割多重回路20及びフレームパルス発生回路30を備えている。送端回路10は入力する信号のチャネル毎に設けてある。

【0066】例えば、送信装置100にSTMフレームの信号を入力する場合には、送端回路10はSDH (Synchronous Digital Hierarchy) の処理装置に相当する。また、送信装置100にG.975フレームの信号を入力する場合には、送端回路10は誤り訂正回路(FEC)に相当する。

【0067】各チャネルの送端回路10は、フレームパルス発生回路30から入力されるフレームパルスを各々のチャネルの低速の信号フレームのタイミングを制御するための同期信号として利用する。フレームパルス発生回路30が各チャネルの送端回路10に与えるフレームパルスFP(1)、FP(2)、・・・FP(N)は、互いにタイミングがずれている。

【0068】これらのフレームパルスFP(1)、FP(2)、・・・FP(N)を用いて信号フレームのタイミングを制御するので、各チャネルの送端回路10から出力される信号は互いに位相がずれた状態で時分割多重回路20に輸入される。すなわち、図2に示すように、送端回路10に輸入されたフレームは、チャネル毎のフレームパルスに同期して、互いにフレーム位相がずれた状態で多重される。

【0069】一方、図1の受信装置200は送信装置100から送信される高速の信号を受信して多重分離を行い、比較的低速の信号を複数チャネルのそれぞれに並列に出力する。例えば、送信装置100が40 Gbit/sのビットレートの信号を送信する場合には、16チャネルに分離して、チャネル毎に2.4 Gbit/sのビットレートの信号を出力する。

【0070】図1の受信装置200は、多重分離回路50、終端回路60、スイッチ回路70、終端回路80及びスイッチ制御回路90を備えている。終端回路60及び終端回路80は、Nチャネルのそれぞれに設けてある。

【0071】受信装置200で受信された信号は、多重分離回路50でチャネル毎に分離され低速の信号に変換される。多重分離回路50から出力される各チャネルの信号は、終端回路60、スイッチ回路70及び終端回路80を通してチャネル毎に並列に出力される。

【0072】図1の受信装置200においては、多重分離回路50の前でフレーム同期を行わないことを想定している。そのため、多重分離回路50の複数の出力ポートから並列に出力されるそれぞれの信号がいずれのチャネルに対応するかはその時の状況に応じて変化する。

【0073】分離した複数の信号を送信側と同じチャネルの出力端子にそれぞれ割り当てするために図1の受信装置200にはスイッチ回路70及びスイッチ制御回路90が設けてある。

【0074】図3に示したように、終端回路60は、それぞれのチャネルの信号フレームに同期した信号をフレームパルスFS(1)、FS(2)、・・・FS(N)として出力する。スイッチ制御回路90は、各チャネルの終端回路60から入力されるフレームパルスFS(1)、FS(2)、・・・FS(N)に基づいてそれぞれのチャネルの信号が実際に送信側のどのチャネルに対応するかを検出し、スイッチ回路70を制御する。

【0075】受信装置側でどのようにしてチャネルが識

別されるかの概念を図4を用いて説明する。

【0076】送信装置側で各チャネルに対応したフレームパルス(FP)を図4(a)に示すタイミングで発生させて、チャネル毎にフレーム位相をずらすようにする。そして、受信側では、多重分離回路の出力ポート毎にフレームパルス(FS)によりフレームの位相を把握し、チャネルを識別する。例えば、図4(a)のように送信側においてチャネル1から16の順でフレーム位相をずらした場合、受信側の多重分離回路の出力において、最も早い位相のフレームパルスが検出されたポート15のフレームがチャネル1に対応するものであることが識別でき、2番目の位相のフレームパルスが検出されたポート6のフレームがチャネル2に対応するものであることが識別できる。他のチャネルについても同様である。このような概念に基づき受信装置のスイッチ回路の制御が行われ、当該スイッチ回路により多重分離回路の出力ポートがチャネルに対応した正しいポートに接続される。

【0077】次に、送信装置100の構成及び動作の詳細について説明する。送信装置100のフレームパルス発生回路30は、この例では図7に示すように直流電圧発生器31、クロック発生源32、制御クロック発生器33及びセクタ34で構成されている。

【0078】セクタ34には、チャネル数と等しい16個の出力端子が備わっている。セクタ34は、制御クロック発生器33が出力する制御クロックに従って1つの出力端子を順次を選択し、直流電圧発生器31から入力される電圧を選択した出力端子にフレームパルスとして出力する。

【0079】セクタ34の16個の出力端子には、図8に示すようなフレームパルスFP(1)～FP(16)が現れる。互いに隣接するチャネルのフレームパルスは、図8に示すように時間Tdだけずれたタイミングで現れる。また、全チャネルのフレームパルスが現れる期間T1は、各チャネルの低速信号のフレーム周期の半分以内に定めてある。従って、各フレーム周期では、期間T1を経過した後の期間T2ではフレームパルスは現れない。

【0080】制御クロック発生器33は、クロック発生源32が発生する周期が一定のクロックパルス(この例では2.4GHz)に基づいて制御クロックを生成する。制御クロック発生器33は、各チャネルのフレームパルスFP(1)～FP(16)のタイミングを決定する。

【0081】送信装置100の送端回路10は、図5のように構成されている。この例では、STMフレームの信号を扱うSDH装置として送端回路10を構成した場合を示してある。

【0082】図5を参照すると、各チャネルの送端回路10には、SDH物理インタフェース11、中継セクション終端回路12、多重セクション終端回路13、セク

ション適応回路14、多重セクション終端回路15及び中継セクション終端回路16が備わっている。

【0083】SDH物理インタフェース11は、信号の光-電気変換及び信号からのクロック抽出を行う。中継セクション終端回路12は、低速フレーム同期及びエラーモニタの機能を有している。多重セクション終端回路13は、エラーモニタの機能を有している。

【0084】ところで、図1の送信装置100においては、送端回路10から出力される信号の各フレームの先頭位置が現れるタイミングがチャネル毎に少しずつずれている。すなわち、信号フレームの位相がチャネル間で異なっている。

【0085】このように位相を調整するので、STMフレームを処理する場合には入力信号のポインタ値を指定されたフレーム位相に合わせるように書き換える必要がある。この処理を、セクション適応回路14が行う。また、セクション適応回路14はフレームパルス発生回路30から各チャネルに入力されるフレームパルス(FP(1)～FP(16)のいずれか)に同期するように、当該チャネルのフレームの先頭が出力されるタイミングを決定する。

【0086】多重セクション終端回路15は、BIP値の計算を行う。中継セクション終端回路16は、チャネル毎に低速信号のフレーム同期に必要な同期パターン(例えば「11110110」、「00101000」)を挿入する。

【0087】各チャネルの送端回路10の入力及び出力には、例えば図6に示すようなタイミングで低速の信号フレームが現れる。すなわち、入力される信号のタイミングは定まっていないが、送端回路10から出力される信号は、隣接するチャネル間に所定の位相差(フレームパルスの時間差Tdに相当)が形成された状態で規則的に出力される。

【0088】送信装置100の時分割多重回路20は、多重回路21、22、23及び逡倍回路24、25、26を備えている。多重回路21は、4チャネルの2.4Gbit/sのビットレートのデータを入力し、10Gbit/sの時分割多重化された1チャネルのデータを出力する。

【0089】多重回路22は、2チャネルの10Gbit/sのビットレートのデータを入力し、20Gbit/sの時分割多重化された1チャネルのデータを出力する。同様に、多重回路23は2チャネルの20Gbit/sのビットレートのデータを入力し、40Gbit/sの時分割多重化された1チャネルのデータを出力する。

【0090】従って、図9の回路は16チャネルの2.4Gbit/sのビットレートのデータを入力し、40Gbit/sの時分割多重化された1チャネルのデータを出力することができる。

【0091】3種類の多重回路21, 22, 23はそれぞれ動作速度が異なるので、各々の動作速度に最も適した種類の半導体チップを用いて構成してある。すなわち、多重回路21は(Si-Bipolar)系の半導体チップを採用し、多重回路22は(GaAs)の半導体チップを採用し、多重回路23は(INP, SiGe)の半導体チップを採用している。

【0092】なお、時分割多重回路20については、複数チャネルのデータをビット単位で多重化してもよいし、バイト単位で多重化してもよい。

【0093】時分割多重回路20の出力は、図示しない電気-光変換器によって光信号に変換される。なお、一般の多重装置においては、多重化によって高速になった信号にフレーム同期パターンを挿入したり、スクランブル処理を施す必要がある。しかし、図1の送信装置100では低速フレーム信号にチャンネル毎に同期パターンを挿入しているので、高速信号に同期パターンを挿入する必要はない。また、多重化する前に低速フレーム信号の位相がチャンネル毎にずれているためスクランブル処理を施す必要もない。このため、装置のコストを低減できる。また、ビットレートの更なる高速化にも対応できる。

【0094】次に、受信装置200の構成及び動作の詳細について説明する。受信装置200の多重分離回路50は、図10に示すように3種類の分離回路51, 52及び53で構成されている。

【0095】分離回路51は、40Gbit/sの時分割多重化されたデータを入力し、2チャンネルに分離して各チャンネルに20Gbit/sのビットレートのデータを出力する。

【0096】分離回路52は、20Gbit/sの時分割多重化されたデータを入力し、2チャンネルに分離して各チャンネルに10Gbit/sのビットレートのデータを出力する。

【0097】分離回路53は、10Gbit/sの時分割多重化されたデータを入力し、4チャンネルに分離して各チャンネルに2.4Gbit/sのビットレートのデータを出力する。

【0098】従って、図10の回路は40Gbit/sの時分割多重化された1チャンネルのデータを入力し、16チャンネルに分離して各チャンネルに2.4Gbit/sのビットレートのデータを出力することができる。

【0099】3種類の分離回路51, 52, 53はそれぞれ動作速度が異なるので、各々の動作速度に最も適した種類の半導体チップを用いて構成してある。すなわち、分離回路53は(Si-Bipolar)系の半導体チップを採用し、分離回路52は(GaAs)の半導体チップを採用し、分離回路51は(INP, SiGe)の半導体チップを採用している。

【0100】なお、多重分離回路50の入力には光信号

を電気信号に変換する光-電気変換器が備わっているが図10では省略されている。また、多重分離回路50については、送信側の多重回路に合わせてビット単位で複数チャンネルに分離してもよいし、バイト単位で分離してもよい。

【0101】なお、一般の多重分離装置においては分離する前にスクランブルを解除する必要があるが、多重分離回路50が受信する信号にはスクランブルが施されていないのでそのような機能は不要である。また、多重分離回路50は多重分離する前の高速信号に対してフレーム同期は行わない。

【0102】このため、多重分離回路50は比較的低コストで製造できる。また、ビットレートの更なる高速化にも対応できる。

【0103】多重分離回路50によって分離された低速(2.4Gbit/s)の信号は、チャンネル毎に終端回路60に入力される。図11に示すように、各チャンネルの終端回路60には、中継セクション終端回路61及び多重セクション終端回路62が備わっている。

【0104】中継セクション終端回路61は、チャンネル毎に低速信号のフレーム同期を行う。すなわち、低速信号の各チャンネルのフレームに挿入された同期パターンを検出し、フレームの先頭位置を検出する。また、中継セクション終端回路61はエラーモニタの機能を有している。多重セクション終端回路62は、エラーモニタの機能を有している。

【0105】ところで、多重分離回路50は高速信号に対するフレーム同期を行わずにチャンネルの分離を行うので、多重分離回路50の出力に得られる16チャンネルの信号のそれぞれは、チャンネルの番号が送信側と一致しない。従って、多重分離回路50が並列に出力する各チャンネルの低速信号を送信側と一致する正しいチャンネルに割り当てる必要がある。正しいチャンネルに割り当てる方法の概念は図4で説明した通りである。

【0106】すなわち、正しいチャンネルの番号を検出するために、各チャンネルの終端回路60が中継セクション終端回路61のフレーム同期により検出したフレームパルスFP(1)~FP(16)を利用する。フレームパルスFP(1)~FP(16)は各チャンネルの低速フレームの先頭位置を表す。

【0107】各チャンネルの終端回路60が出力する信号は、スイッチ回路70を通過する際に信号の通過する端子が正しいチャンネル位置に修正され、終端回路80に入力される。

【0108】図11に示すように、各チャンネルの終端回路80には多重セクション終端回路81、中継セクション終端回路82及びSDH物理インタフェース83が備わっている。

【0109】スイッチ回路70は、図14に示すように、16行、16列のマトリクス状に接続された多数の

スイッチ71で構成されている。それぞれのスイッチ71は、スイッチ制御回路90が出力する制御信号によってオン／オフする。

【0110】スイッチ回路70の接続状態を制御するスイッチ制御回路90は、図12に示すようにシフトレジスタ91、排他的論理和回路92、デマルチプレクサ93及びリセットパルス発生回路94を備えている。

【0111】シフトレジスタ91の内部には、チャンネル毎に2つのラッチ95、96が備わっている。シフトレジスタ91の各チャンネルに入力された信号は、シフトクロックに同期してラッチ95に保持され同時にラッチ95の出力はラッチ96の出力に転送される。従って、2つのラッチ95、96の出力には互いに異なるタイミング（1つのシフトクロックが入力される前と入力された後）の信号が現れる。

【0112】各チャンネルの排他的論理和回路92には、シフトレジスタ91から互いに異なるタイミングのフレームパルスが入力される。排他的論理和回路92は、入力される2つのタイミングのフレームパルスの排他的論理和を出力する。

【0113】スイッチ制御回路90に入力されるフレームパルスFS(1)～FS(16)は、それぞれ多重分離回路50が多重分離した16チャンネルの各信号フレームの先頭位置に同期して現れるが、分離前の高速信号フレームに対して同期を確立していないので、多重分離回路50が各々のチャンネルの信号を出力するポートは定まっていない。

【0114】しかし、送信装置100においては図8に示すフレームパルスFP(1)～FP(16)を利用して、チャンネル番号の順番で少しずつ位相がずれるようなタイミングで低速フレーム信号を送出しているため、多重分離回路50から出力される16チャンネルの信号（低速フレーム信号）の到着順序から各信号のチャンネル番号を識別することができる。

【0115】図13を参照し、具体例について説明する。なお、図13では単純化のためにチャンネル数が4の場合を想定して示してある。図13の例では、フレームパルスFS(3)が最も早い時間に現れ、フレームパルスFS(4)が2番目に現れ、フレームパルスFS(1)が3番目に現れ、フレームパルスFS(2)が最後に現れている。

【0116】つまり、この例ではフレームパルスFS(3)、FS(4)、FS(1)及びFS(2)に対応する低速フレーム信号が、それぞれチャンネル番号#1、#2、#3及び#4の信号である。

【0117】この場合、図13に示すように1番目のチャンネルの排他的論理和回路92(1)の出力、2番目のチャンネルの排他的論理和回路92(2)の出力、3番目のチャンネルの排他的論理和回路92(3)の出力及び4番目のチャンネルの排他的論理和回路92(4)の出力には、それ

ぞれ「0100」、「1000」、「0001」及び「0010」の2値信号が時系列の信号として現れる。

【0118】排他的論理和回路92の出力に接続されたデマルチプレクサ93は、排他的論理和回路92が出力する時系列の信号を並列信号に変換し、この並列信号を16個の端子に同時に出力する。

【0119】図13の例では、1番目のデマルチプレクサ93(1)は、排他的論理和回路92(1)から出力される「0100」の時系列の信号を、「0」、「1」、「0」、「0」の並列信号として4つの端子に同時に出力する。

【0120】同様に、2番目のデマルチプレクサ93(2)は、排他的論理和回路92(2)から出力される「1000」の時系列の信号を、「1」、「0」、「0」、「0」の並列信号として4つの端子に同時に出力する。

【0121】3番目のデマルチプレクサ93(3)は、排他的論理和回路92(3)から出力される「0001」の時系列の信号を、「0」、「0」、「0」、「1」の並列信号として4つの端子に同時に出力する。

【0122】4番目のデマルチプレクサ93(4)は、排他的論理和回路92(4)から出力される「0010」の時系列の信号を、「0」、「0」、「1」、「0」の並列信号として4つの端子に同時に出力する。

【0123】リセットパルス発生回路94は、デマルチプレクサ93が排他的論理和回路92の出力から信号の取り込みを開始するタイミングを制御する。この例では、送信側において図8に示すようなフレームパルスを利用しているため、各チャンネルに低速信号フレームの先頭が現れるタイミングは、各フレーム周期の前半半分（T1の期間）に限定される。

【0124】従って、各フレーム周期の後半半分の期間（T2）では、受信装置200においてフレームパルスFS(1)～FS(16)が発生することはない。そこで、リセットパルス発生回路94は、フレームパルスFS(1)～FS(16)が現れない各フレームの後半半分の期間（T2）を検出してその間にリセットパルスを送出し、全てのデマルチプレクサ93を強制的にリセットする。

【0125】受信装置200において新たな信号の受信が開始され、最初のフレームパルス（FS(1)～FS(16)のいずれか）が現れるとリセットパルス発生回路94からのリセットパルスの出力が解除され、各チャンネルのデマルチプレクサ93は排他的論理和回路92の出力からの信号の取り込みを開始する。従って、各デマルチプレクサ93は図13に示すような信号を出力することができる。

【0126】各デマルチプレクサ93が出力する制御信号C(1)、C(2)、・・・C(16)は、図14に示すスイッチ回路70のマトリクスの中から1番目、2番目、・・・16番目の各列の16個のスイッチ71をそれぞれオン／オフ制御する。

【0127】例えば、図13においてフレームパルスFS(1)に基づいて生成されるデマルチプレクサ93(1)の4つの出力信号C(1)が「0」、「0」、「1」、「0」なので、この信号C(1)を図14の左から1番目の列に印加すると、この列のスイッチ71は上から順に「オフ」、「オフ」、「オン」、「オフ」になる。従って、3番目のチャンネルの終端回路60(3)からスイッチ回路70に入力される信号SG(3)は、スイッチ回路70の1列目、3行目のスイッチ71を通過してチャンネル#1の信号CH(1)として終端回路80(1)に入力される。

【0128】同様に、図13においてフレームパルスFS(2)に基づいて生成されるデマルチプレクサ93(2)の4つの出力信号C(2)が「0」、「0」、「0」、「1」なので、この信号C(2)を図14の左から2番目の列に印加すると、この列のスイッチ71は上から順に「オフ」、「オフ」、「オフ」、「オン」になる。従って、4番目のチャンネルの終端回路60(4)からスイッチ回路70に入力される信号SG(4)は、スイッチ回路70の2列目、4行目のスイッチ71を通過してチャンネル#2の信号CH(2)として終端回路80(2)に入力される。

【0129】また、図13においてフレームパルスFS(3)に基づいて生成されるデマルチプレクサ93(3)の4つの出力信号C(3)が「1」、「0」、「0」、「0」なので、この信号C(3)を図14の左から3番目の列に印加すると、この列のスイッチ71は上から順に「オン」、「オフ」、「オフ」、「オフ」になる。従って、1番目のチャンネルの終端回路60(1)からスイッチ回路70に入力される信号SG(1)は、スイッチ回路70の3列目、1行目のスイッチ71を通過してチャンネル#3の信号CH(3)として終端回路80(3)に入力される。

【0130】また、図13においてフレームパルスFS(4)に基づいて生成されるデマルチプレクサ93(4)の4つの出力信号C(4)が「0」、「1」、「0」、「0」なので、この信号C(4)を図14の左から4番目の列に印加すると、この列のスイッチ71は上から順に「オフ」、「オン」、「オフ」、「オフ」になる。従って、2番目のチャンネルの終端回路60(2)からスイッチ回路70に入力される信号SG(2)は、スイッチ回路70の4列目、2行目のスイッチ71を通過してチャンネル#4の信号CH(4)として終端回路80(4)に入力される。

【0131】つまり、終端回路60(1)～60(N)の出力に現れる信号SG(1)～SG(N)の位置は送信側のチャンネル番号と一致しないが、スイッチ回路70を通過した信号CH(1)～CH(N)は送信側の各チャンネル番号と対応する位置に現れる。

【0132】(第2の実施の形態)本発明の多重伝送装置のもう1つの実施の形態について、図15～図17を参照して説明する。

【0133】図15は各チャンネルの送端回路の構成例(2)を示すブロック図である。図16は送端回路の出

力の低速フレーム信号の位相を示すタイムチャートである。図17は各チャンネルの送端回路の構成例(2)を示すブロック図である。

【0134】この形態は第1の実施の形態の変形例であり、送信装置100及び受信装置200の基本的な構成は図1と同じである。但し、この形態では扱う信号としてG.975フレームを想定しているので、送信装置100の送端回路10の構成ならびに受信装置200の終端回路60、80の構成が変更されている。変更された部分について以下に説明する。第1の実施の形態と同一の部分については説明を省略する。

【0135】この形態では、送端回路10及び終端回路60、80は誤り訂正回路(G.975で規定されたFEC: Forward Error Correction)に相当する。

【0136】図15を参照すると、送信装置100の各チャンネルの送端回路10には光-電気変換器41、オーバーヘッド挿入回路42及びFEC符号化回路43が備わっている。

【0137】光-電気変換器41は、入力信号の光-電気変換及び入力信号からのクロック抽出を行う。

【0138】オーバーヘッド挿入回路42は、信号フレームに所定のオーバーヘッド(OH)を挿入する。また、低速フレームの同期を確立するために必要となる所定の同期パターンをチャンネル毎に信号フレームに挿入する。更に、オーバーヘッド挿入回路42は信号フレームの送出を開始するタイミングをチャンネル毎にフレームパルス(FP(1)～FP(16))に同期して決定する。

【0139】実際には、オーバーヘッド挿入回路42はそれに内蔵された速度変換メモリに対するデータの書き込み及び読み出しによってタイミングを制御することができるので、フレームパルス(FP(1)～FP(16))に同期して速度変換メモリからのデータの読み出しを開始し、信号フレームの位相をチャンネル毎に制御する。

【0140】FEC符号化回路43は、オーバーヘッド挿入回路42から出力される信号に対してFECの符号化処理を行う。各チャンネルのFEC符号化回路43から出力される信号S(1)、S(2)、S(3)、・・・の具体例を図16に示す。

【0141】図16の例では、各信号フレーム(FECサブフレーム)は1バイトのダミーバイトと、3バイトのオーバーヘッドと、256バイトのSTM-16データと、16バイトの冗長コードとで構成されている。また、この例ではチャンネル毎に24nsの時間差(位相差)が生じるように送出する信号のタイミングが制御されている。

【0142】また、この例では各フレーム周期にフレームパルスFP(1)～FP(16)が現れる期間(T1)は379nsであり、残りの379nsの期間(T2)にはフレームパルスFP(1)～FP(16)は現れない。

【0143】一方、受信装置200の終端回路60及び

終端回路80は図17に示すように構成されている。すなわち、各チャネルの終端回路60にはフレーム同期回路65及びFEC復号化回路66が備わっている。また、各チャネルの終端回路80にはオーバーヘッド終端回路85及び電気-光変換器86が備わっている。

【0144】フレーム同期回路65は、各チャネルの低速フレーム信号に含まれる同期パターン（送端回路10のオーバーヘッド挿入回路42が挿入したパターン）を検出し、チャネル毎にフレーム同期を確立する。また、フレーム同期回路65はチャネル毎に低速フレーム信号の先頭位置のタイミングを表すフレームパルスFS(1)～FS(16)を出力する。

【0145】終端回路80のオーバーヘッド終端回路85は、チャネル毎にスイッチ回路70から入力される低速フレーム信号についてオーバーヘッドの終端処理を行う。電気-光変換器86は、オーバーヘッド終端回路85が出力する電気信号を光信号に変換する。

【0146】送信装置100の送端回路10及び受信装置200の終端回路60、80以外の構成及び動作は第1の実施の形態と同一である。

【0147】なお、第1の実施の形態のようにSTMフレームを扱うSDH装置の場合にはチャネル毎にフレーム信号の位相を変更すると、それに伴ってフレーム内のオーバーヘッドのポインタ値やその他の情報(B1、B2)を書き換える必要がある。しかし、G.975フレームを扱うFEC装置の場合にはポインタなどを変更する必要がなく、トランスペアレnciaの点で有利である。

【0148】（第3の実施の形態）本発明の多重伝送制御用ソフトウェアを記録した記憶媒体の1つの実施の形態について、図18及び図19を参照して説明する。この形態は請求項12、13に対応する。

【0149】図18はコンピュータを用いて制御する場合のハードウェアの構成例を示すブロック図である。図19はスイッチ回路を制御するコンピュータの動作を示すフローチャートである。

【0150】第1の実施の形態及び第2の実施の形態においては、受信装置200の多重分離回路50が分離した複数の信号を送信側の各チャネルの番号と整合させるための制御をハードウェアのスイッチ制御回路90を用いて行っている。この形態ではスイッチ制御回路90の機能をコンピュータのソフトウェアで実現している。スイッチ制御回路90以外の構成及び動作については第1の実施の形態と同一である。変更された部分のみについて以下に説明する。

【0151】この形態では、スイッチ制御回路90の代わりに図18に示すハードウェアを用いている。図18を参照すると、パーソナルコンピュータ301、PC用インタフェース302、メモリ303、バッファ304及びスイッチ制御インタフェース305が備わっている。

【0152】図1の各チャネルの終端回路60が出力するフレームパルスFS(1)～FS(16)の各タイミングの状態は、バッファ304を介してメモリ303に記憶される。例えば、図13に示す各排他的論理和回路92の出力信号の各時点の状態を示す情報「0100」、「1000」、「0001」、「0010」と同様の情報がチャネル毎にメモリ303内に記憶される。

【0153】パーソナルコンピュータ301は、PC用インタフェース302を介してメモリ303の情報にアクセスすることができる。また、パーソナルコンピュータ301はPC用インタフェース302及びスイッチ制御インタフェース305を介して、スイッチ回路70の各スイッチ71をオン/オフ制御することができる。

【0154】パーソナルコンピュータ301は、スイッチ回路70を制御するために図19に示す動作を実行する。この動作手順はプログラムとして所定の記録媒体に記録されており、パーソナルコンピュータ301で記録媒体の内容を読み込んで実行することができる。

【0155】図19に示す動作について説明する。最初のステップS11では、メモリ303上に記憶されたデータの内容を監視して、全てのフレームパルス(FS(1)～FS(16))を検出したか否かを識別する。

【0156】全てのフレームパルスを検出した場合には、ステップS12で変数iをクリアし、次のステップS13で変数iに1を加算する。

【0157】続くステップS14では、メモリ303上のデータ（各チャネルのフレームパルスの位置）を順番に読み出す。そして、ステップS15ではi番目にフレームパルスを検出したポート（入力側のチャネル）の信号をi番目のチャネルに接続するように、スイッチ回路70に対して制御信号を出力する。

【0158】ステップS13～S16の処理を繰り返すことにより、16チャネルの全てについて、スイッチ回路70が出力する信号のチャネル番号の位置が送信側と整合するようにチャネルを割り当てることができる。

【0159】なお、G.975フレームやSTMフレーム以外の信号フォーマットの場合にも、上記と同様に本発明を適用することが可能である。また、フレームパルス発生回路30、スイッチ回路70、スイッチ制御回路90などの構成や動作についても必要に応じて変更することができる。

【0160】なお、受信側でのチャネルの識別を可能にするために、送信側のフレームパルスについては、1フレーム周期の時間以内（16μsあるいは125μs）に全てのチャネルのフレームパルスの送出が終了する必要がある。

【0161】

【発明の効果】本発明では、以下の効果が期待できる。

【0162】（1）クライアントにトランスペアレnciaな時分割多重機能を提供するので、サブネットワーク接

続を低コストで実現できる。

【0163】(2) 高速側ではボタン認識は行わないので、装置構成上低コストとなる。

【0164】(3) 多重回路及び分離回路がいくつかのサブモジュールに分かれていても、あるいは光回路であっても実現可能であるので、将来の超大容量化・超高速化が期待できる。

【0165】(4) 各サブモジュールがばらばらの分離タイミングで動作することを許容するので、装置構成上低コストとなる。

【0166】(5) 波長多重と組み合わせて使用すると、Tbit/s級の超大容量伝送が可能となる。

【0167】(6) 高速側にスクランブル/デスクランブル回路が不要になるので低コストで超高速伝送装置を構成できる。

【図面の簡単な説明】

【図1】実施の形態の送信装置及び受信装置の構成を示すブロック図である。

【図2】送信装置の動作を示す図である。

【図3】受信装置の動作を示す図である。

【図4】受信側でチャンネルを識別する方法を説明するための図である。

【図5】各チャンネルの送端回路の構成例(1)を示すブロック図である。

【図6】送端回路の入出力の低速フレーム信号の位相を示すタイムチャートである。

【図7】フレームパルス発生回路の構成例を示すブロック図である。

【図8】各チャンネルのフレームパルスの例を示すタイムチャートである。

【図9】時分割多重回路の構成例を示すブロック図である。

【図10】多重分離回路の構成例を示すブロック図である。

【図11】各チャンネルの終端回路の構成例(1)を示すブロック図である。

【図12】スイッチ制御回路の構成例を示すブロック図である。

【図13】スイッチ制御回路の動作例を示す模式図である。

【図14】スイッチ回路の構成例を示すブロック図である。

【図15】各チャンネルの送端回路の構成例(2)を示すブロック図である。

【図16】送端回路の出力の低速フレーム信号の位相を示すタイムチャートである。

【図17】各チャンネルの送端回路の構成例(2)を示すブロック図である。

【図18】コンピュータを用いて制御する場合のハードウェアの構成例を示すブロック図である。

【図19】スイッチ回路を制御するコンピュータの動作を示すフローチャートである。

【図20】従来技術におけるSDH多重装置の送信側の処理概要を示す図である。

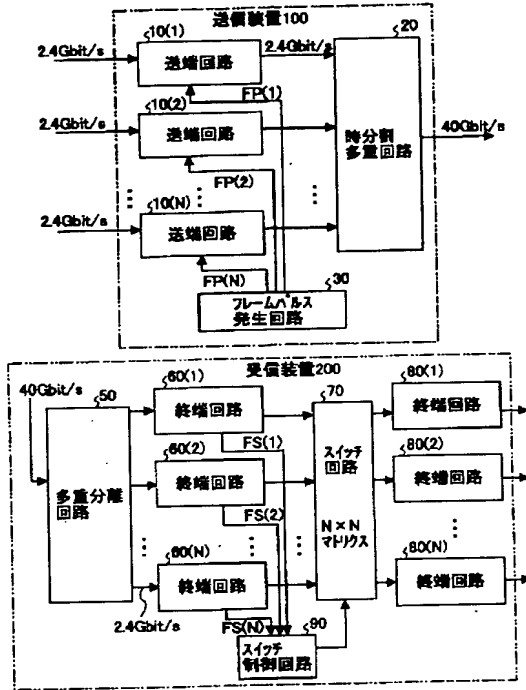
【図21】従来技術におけるSDH多重装置の受信側の処理概要を示す図である。

【符号の説明】

- 10 送端回路
- 11 SDH物理インタフェース
- 12, 16 中継セクション終端回路
- 13, 15 多重セクション終端回路
- 14 セクション適応回路
- 20 時分割多重回路
- 21, 22, 23 多重回路
- 24, 25, 26 逓倍回路
- 30 フレームパルス発生回路
- 31 直流電圧発生器
- 32 クロック発生源
- 33 制御クロック発生器
- 34 セレクタ
- 41 光-電気変換器
- 42 オーバヘッド挿入回路
- 43 FEC符号化回路
- 50 多重分離回路
- 51, 52, 53 分離回路
- 60 終端回路
- 61, 82 中継セクション終端回路
- 62, 81 多重セクション終端回路
- 65 フレーム同期回路
- 66 FEC復号化回路
- 70 スイッチ回路
- 71 スイッチ
- 80 終端回路
- 83 SDH物理インタフェース
- 85 オーバヘッド終端回路
- 86 電気-光変換器
- 90 スイッチ制御回路
- 91 シフトレジスタ
- 92 排他的論理和回路
- 93 デマルチプレクサ
- 94 リセットパルス発生回路
- 95, 96 ラッチ
- 100 送信装置
- 200 受信装置
- 301 パーソナルコンピュータ
- 302 PC用インタフェース
- 303 メモリ
- 304 バッファ
- 305 スイッチ制御インタフェース

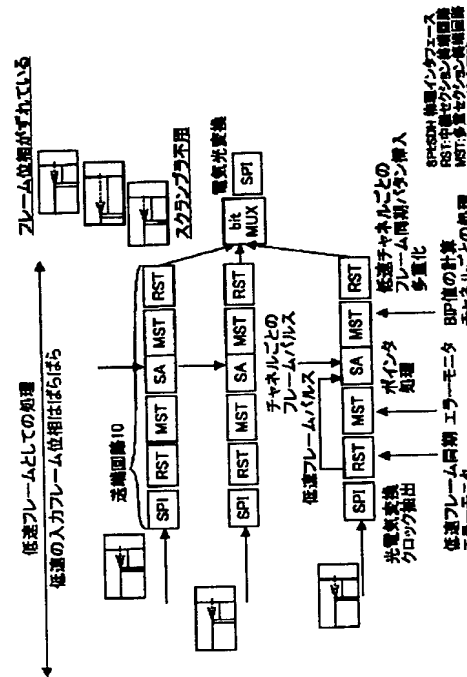
【図1】

実施の形態の送信装置及び受信装置の構成を示すブロック図



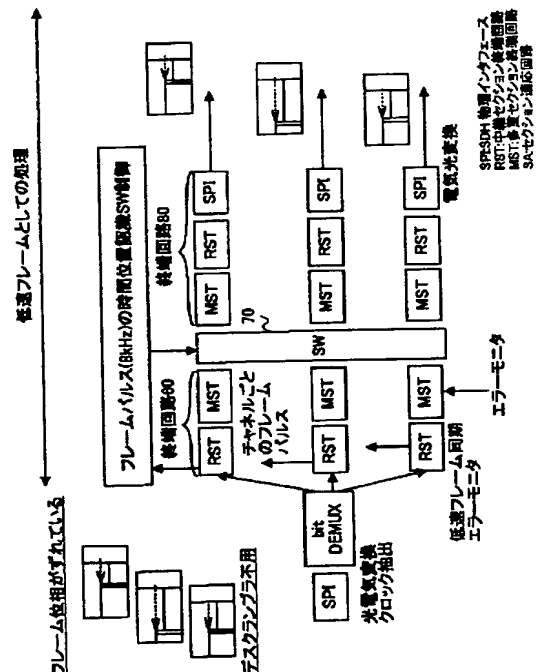
【図2】

送信装置の動作を示す図



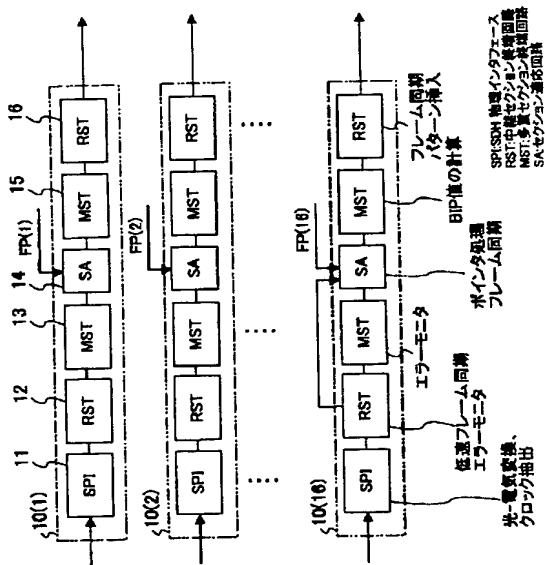
【図3】

受信装置の動作を示す図



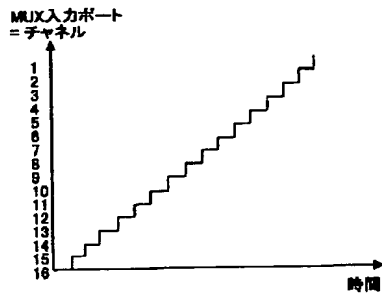
【図5】

各チャネルの送端回路の構成例(1)を示すブロック図



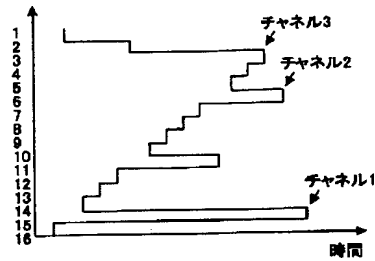
【図4】

受信側でチャンネルを識別するための図



(a) フレームパルス発生タイミング(送信側)

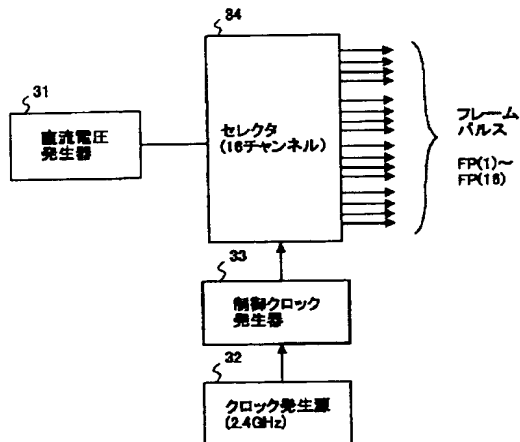
DMX出力ポート



(b) フレームパルス受信タイミング(受信側)

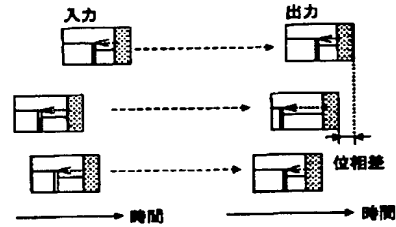
【図7】

フレームパルス発生回路の構成例を示すブロック図



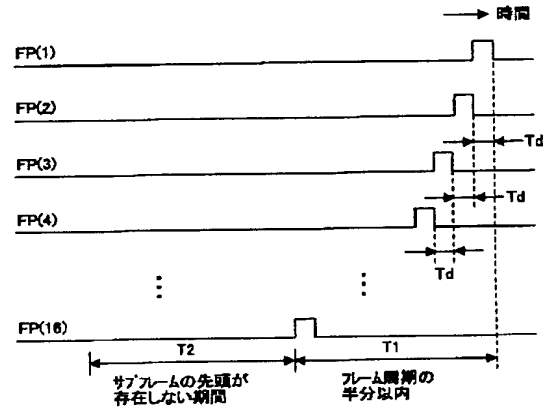
【図6】

送端回路の入出力の低速フレーム信号の位相を示すタイミングチャート



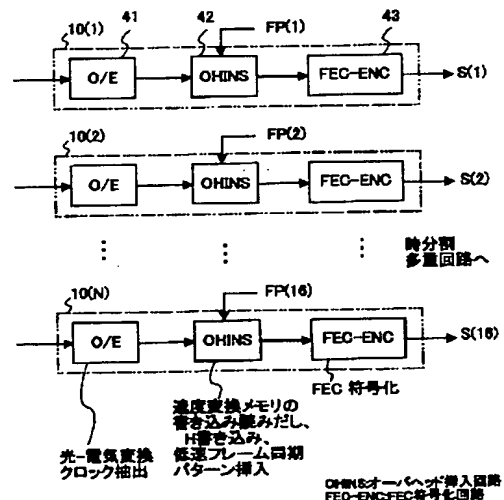
【図8】

各チャンネルのフレームパルスの例を示すタイムチャート



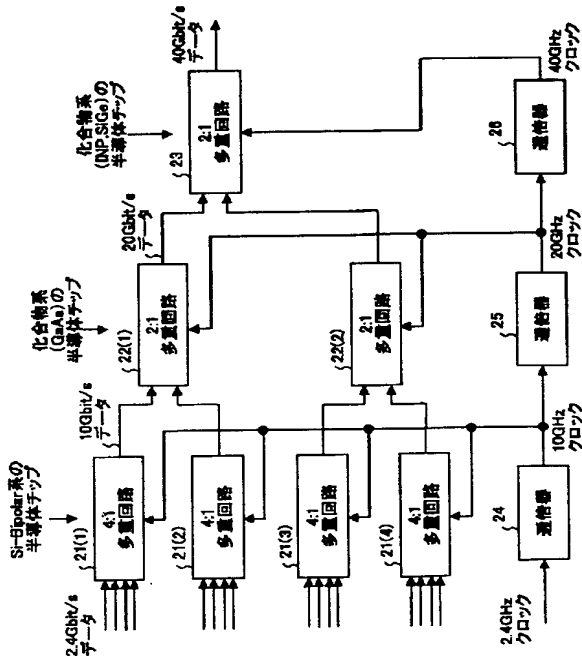
【図15】

各チャンネルの送端回路の構成例(2)を示すブロック図



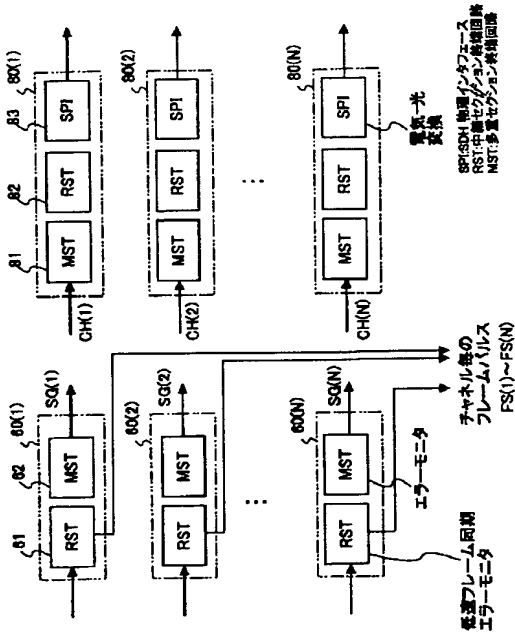
【図9】

時分割多重回路の構成例を示すブロック図



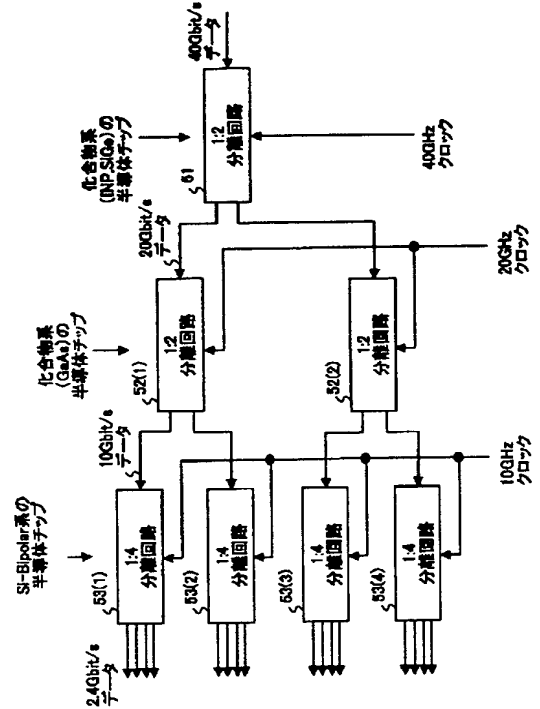
【図11】

各チャネルの終端回路の構成例(1)を示すブロック図



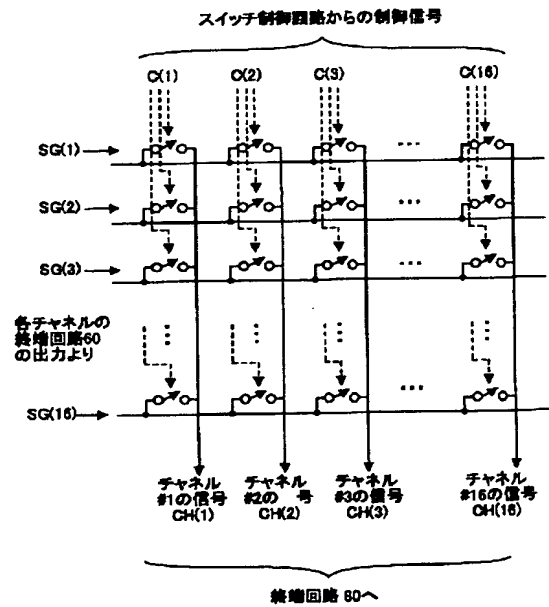
【図10】

多重分離回路の構成例を示すブロック図



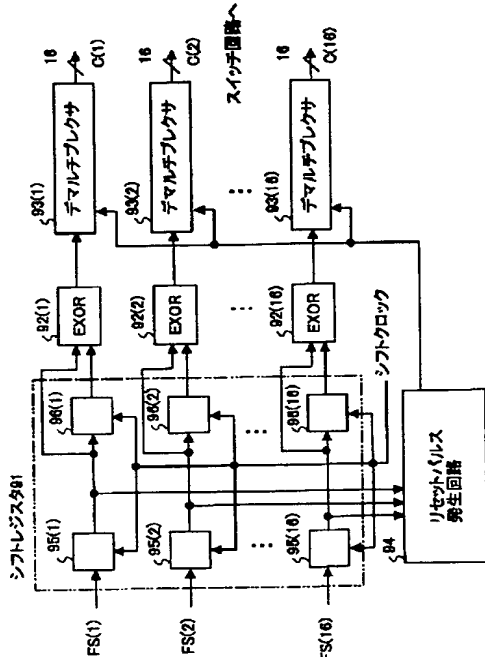
【図14】

スイッチ回路の構成例を示すブロック図



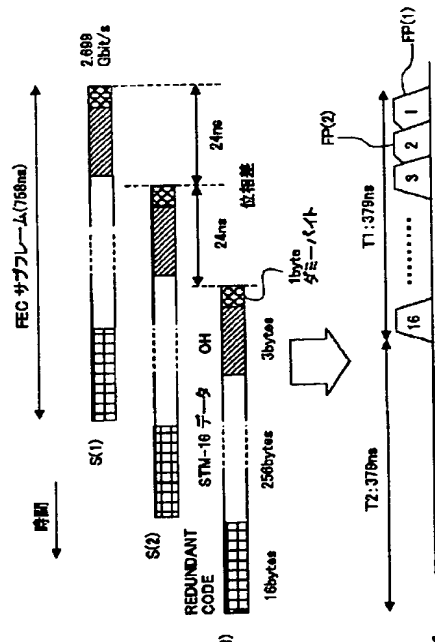
【図12】

スイッチ制御回路の構成例を示すブロック図



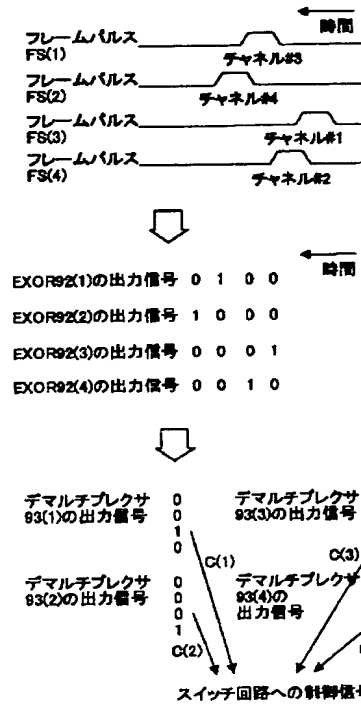
【図16】

送端回路の出力の低速フレーム信号の位相を示すタイムチャート



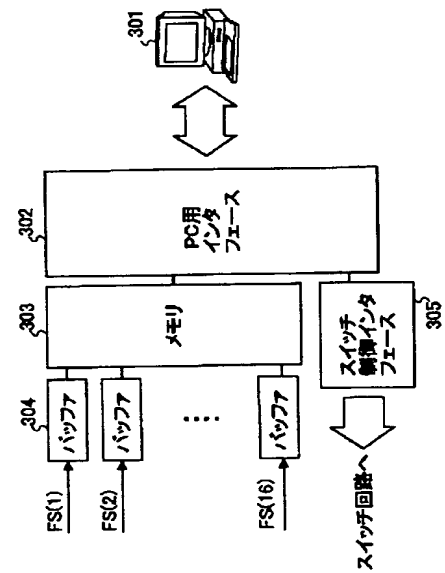
【図13】

スイッチ制御回路の動作例を示す模式図



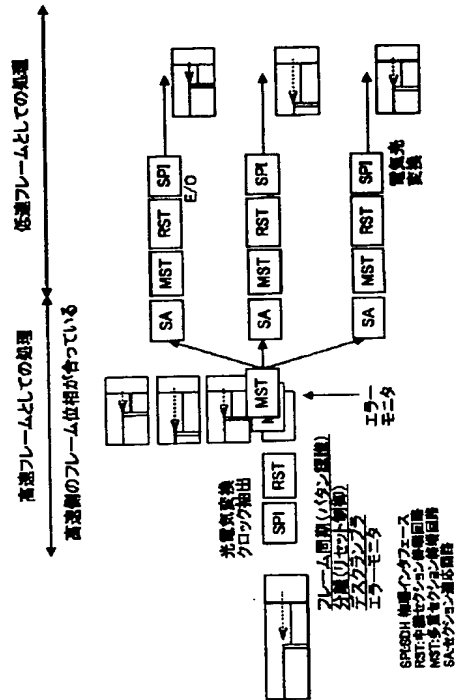
【図18】

コンピュータを用いて制御する場合のハードウェアの構成例を示すブロック図



【図21】

従来技術におけるSDH多重装置の受信側の処理概要を示す図



フロントページの続き

(72)発明者 木坂 由明
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

Fターム(参考) 5K028 AA07 KK01 KK03 NN01 SS24
SS28
5K047 AA16 CC02 HH01 HH04 MM27
MM53